

5120921
P/1071-1118

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

Priority
11/30
11/30

JCS62 U.S. PRO
09/658732



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application: 1999年 9月 9日

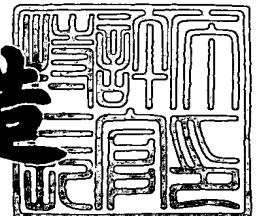
出 願 番 号
Application Number: 平成11年特許願第256059号

出 願 人
Applicant(s): 株式会社村田製作所

2000年 8月 4日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3060803

【書類名】 特許願

【整理番号】 PA00234

【提出日】 平成11年 9月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/76

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社 村田製作所内

【氏名】 稲井 誠

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社 村田製作所内

【氏名】 佐々木 秀彦

【特許出願人】

【識別番号】 000006231

【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号

【氏名又は名称】 株式会社 村田製作所

【代表者】 村田 泰隆

【代理人】

【識別番号】 100094019

【住所又は居所】 大阪府中央区東高麗橋 4 - 3 日宝平野町ビル 4 F

【弁理士】

【氏名又は名称】 中野 雅房

【電話番号】 (06)6910-0034

【手数料の表示】

【予納台帳番号】 038508

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9004897

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 電界効果型半導体装置

【特許請求の範囲】

【請求項 1】 チャネル層とコンタクト層との間に、該チャネル層及び該コンタクト層と電子親和力の異なる半導体層が形成され、前記コンタクト層の上にオーミック電極が設けられ、前記半導体層にショットキー電極が設けられた電界効果型半導体装置において、

前記チャネル層と前記半導体層の接合面及び前記コンタクト層と前記半導体層の接合面が、いずれもイソ型ヘテロ接合となっていることを特徴とする電界効果型半導体装置。

【請求項 2】 前記チャネル層と前記半導体層の接合面における両材料がいずれも n 型高不純物濃度層からなり、前記コンタクト層と前記半導体層の接合面における両材料がいずれも n 型高不純物濃度層からなることを特徴とする請求項 1 の電界効果型半導体装置。

【請求項 3】 前記チャネル層と前記半導体層の接合面における両材料の不純物濃度がいずれも $1 \times 10^{18} \text{ cm}^{-3}$ 以上で、前記コンタクト層と前記半導体層の接合面における両材料の不純物濃度がいずれも $1 \times 10^{18} \text{ cm}^{-3}$ 以上であることを特徴とする請求項 1 又は 2 に記載の電界効果型半導体装置。

【請求項 4】 前記半導体層は、単一材料からなり、前記チャネル層及び前記コンタクト層よりも電子親和力が小さいことを特徴とする、請求項 1、2 又は 3 に記載の電界効果型半導体装置。

【請求項 5】 前記半導体層は、AlGaAs によって構成されていることを特徴とする請求項 4 に記載の電界効果型半導体装置。

【請求項 6】 前記チャネル層は、InGaAs によって構成されていることを特徴とする請求項 1、2、3、4 又は 5 に記載の電界効果型半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電界効果型半導体装置に関し、特に HEMT 構造や DCHFET 構造

等のヘテロ接合構造を有する電界効果型の半導体装置に関する。

【0002】

【従来の技術】

従来からマイクロ波帯～ミリ波帯の領域で動作するトランジスタ素子としては、ヘテロ接合構造の電界効果トランジスタ（以下、ヘテロ接合FETという）が用いられている。このヘテロ接合FETは、そのドーピング構造によって、変調ドーブ構造を用いたHEMT（高電子移動度トランジスタ）と、チャンネルドーブ構造を用いたDCHFET（ドーブチャンネルヘテロFET）とに大別される。なお、後者のDCHFETは、別称としてDMT、MISFET、HIGFETなどと呼ばれている。

【0003】

図1は従来のHEMTの積層構造を模式的に示す断面図である。このHEMT1においては、半絶縁性GaAs基板2の上にバッファ層3が形成され、バッファ層3の上にノンドープInGaAsのチャンネル層4が形成され、チャンネル層4の上には障壁層5が積層されている。障壁層5は、図1ではn型AlGaAs層（電子供給層）5aとノンドープAlGaAs層5bの2層構造となっているが、ノンドープAlGaAs層／n型AlGaAs層／ノンドープAlGaAs層などの多層構造の場合もあり、n型AlGaAs層のみの場合もある。障壁層5の上には、ドレイン電極9及びソース電極8と良好なオーミック接合を得るため、n型GaAsからなるコンタクト層6が形成されている。コンタクト層6の上には、ドレイン電極9及びソース電極8が形成されており、熱処理によってコンタクト層6とオーミック接合されている。

【0004】

ソース電極8及びドレイン電極9間においては、コンタクト層6をリセスエッチングすることによって障壁層5を露出させている。このリセスエッチングは、AlGaAsをエッチングしないが、GaAsをエッチングするエッチャントを用いてコンタクト層6を選択的にエッチング除去し、AlGaAsからなる障壁層5でエッチング停止させることにより行われる。ゲート電極10は、リセス7内においてコンタクト層6から露出した障壁層5の上面に形成され、障壁層5と

ショットキー接合している。また、HEMT 1 の表面は、SiN 保護膜 1 1 によって覆われる。

【0005】

このようなHEMT構造においては、n型障壁層5の電子はAlGaAsとInGaAsの間のヘテロ接合を越えてエネルギー的に低いチャネル層4側へ移動する。こうして障壁層5から高純度のチャネル層4へ供給された電子（2次元電子ガス）は、障壁層5のドナーによって散乱されることなくドリフトできるので、大きな移動度を持つことになる。すなわち、チャネル層4は電子が走行するチャネルとして働き、障壁層5はチャネル層4に電子を供給する供給源として働き、ソース電極8とドレイン電極9の間に電位差が与えられると、チャネル層4にドレイン電流が流れる。

【0006】

図2は従来のDMTの積層構造を模式的に示す断面図である。このようなDMT 2 1においては、GaAs基板2 2の上にバッファ層2 3が形成され、バッファ層2 3の上にn型InGaAsのチャネル層2 4が形成され、チャネル層2 4の上には障壁層2 5が積層されている。障壁層2 5は、DMT構造では、ノンドープAlGaAs層によって形成されている。障壁層2 5の上には、ドレイン電極2 9及びソース電極2 8と良好なオーミック接合を得るため、n型GaAsからなるコンタクト層2 6が形成されている。コンタクト層2 6の上面には、ドレイン電極2 9及びソース電極2 8が形成されており、熱処理によってコンタクト層2 6とオーミック接合されている。

【0007】

ソース電極2 8及びドレイン電極2 9間においては、コンタクト層2 6を選択的にリセスエッチングすることによって障壁層2 5を露出させている。ゲート電極3 0は、リセス2 7内においてコンタクト層2 6から露出した障壁層2 5の上面に形成され、障壁層2 5にショットキー接合している。また、DMT 2 1の表面は、SiN保護膜3 1によって覆われる。

【0008】

このようなDMT構造においては、ゲート電極3 0に電圧を印加しない状態で

は、n型のチャネル層24に電子が蓄積されており、この状態でソース電極28とドレイン電極29間に電位差を与えると、キャリアである電子がソース電極28からドレイン電極29に移動しドレイン電流が流れる。

【0009】

上記HEMT1においては、チャネル層4と障壁層5との接合面では、チャネル層4がノンドープ、障壁層5がn型の組合わせとなっており、コンタクト層6と障壁層5との接合面では、コンタクト層6がn型、障壁層5がノンドープの組合わせとなっており、いずれの接合面もアニソ型ヘテロ接合となっている。また、上記DMT21においては、チャネル層24と障壁層25との接合面では、チャネル層24がn型、障壁層25がノンドープとなっており、コンタクト層26と障壁層25との接合面では、コンタクト層26がn型、障壁層25がノンドープとなっており、いずれの接合面もアニソ型ヘテロ接合となっている。このように、従来のヘテロ接合FETでは、チャネル層と障壁層の接合面、あるいは障壁層とコンタクト層の接合面のいずれか一方はアニソ型ヘテロ接合となっていた。

【0010】

ここで、アニソ型ヘテロ接合とは、導電型の異なる半導体どうしの接合、あるいは電気伝導度の大幅に異なる材料どうしの接合のことである。例えば、n型半導体とp型半導体の接合、n型半導体とノンドープ半導体の接合、p型半導体とノンドープ半導体の接合、あるいは高不純物濃度層(n^+ 、 p^+)と低不純物濃度層(n^- 、 p^-)といったものである。なお、ヘテロ接合とは、電子親和力もしくはバンドギャップその他物性定数の異なる材料どうしの接合をいう。そして、アニソ型ヘテロ接合以外のヘテロ接合をイソ型ヘテロ接合という。

【0011】

【発明が解決しようとする課題】

図3(a)(b)は熱平衡状態におけるアニソ型ヘテロ接合近傍での伝導帯のエネルギーバンド構造を示す。図3(a)はn型GaAs層36(又は、n型InGaAs)/ノンドープAlGaAs層37からなるヘテロ接合面におけるエネルギー準位を表わしている。また、図3(b)は、図3(a)のヘテロ接合とは上下の導電型を入れ替えてノンドープGaAs38(又は、ノンドープInG

a A s) / n 型 A l G a A s 層 3 9 としたヘテロ接合面におけるエネルギー準位を表わしている。

【0 0 1 2】

障壁層と該障壁層に隣接する半導体層の間のヘテロ接合がアニソ型の導電型対になっていると、伝導帯の底がフェルミレベル E_F の片側へ偏り、また空乏層の配分もノンドープ層側へ偏ってしまう。例えば、図 3 (a) に示す例、すなわち n 型 G a A s 層 3 6 (又は、n 型 I n G a A s) / ノンドープ A l G a A s 層 3 7 のアニソ型ヘテロ接合を考えた場合には、ノンドープ層が電子親和力の小さい A l G a A s であるためヘテロ接合界面に形成される障壁 (フェルミレベル E_F より上方のエネルギー障壁) の高さ H_B が高くなり、ヘテロ接合の通過抵抗が増加する。また、図 3 (b) のように、n 型 A l G a A s 層 3 9 / ノンドープ G a A s 層 3 8 (又は、ノンドープ I n G a A s) のようにノンドープ層が電子親和力の小さい G a A s (又は、I n G a A s) であると、n 型 A l G a A s 層 3 9 の側に形成される空乏層幅 W_V が大きくなり、この場合もヘテロ接合を横切る通過抵抗が増加する。

【0 0 1 3】

このため、従来構造の H E M T 1 におけるコンタクト層 6 (n 型 G a A s) と障壁層 5 (ノンドープ A l G a A s) の間のアニソ接合では、障壁層側の障壁高さが高くなる (図 3 (a) 参照)。また、従来の H E M T 1 における障壁層 5 (n 型 A l G a A s) とチャネル層 4 (ノンドープ I n G a A s) の間のアニソ接合では、障壁層に生じる空乏層の幅が大きくなる (図 3 (b) 参照) とともにノンドープのチャネル層の抵抗も増加する。そのため、ソース、ドレイン領域からゲート電極直下のチャネル領域にいたる直列抵抗が増大する。

【0 0 1 4】

一方、従来の D M T 2 1 においては、コンタクト層 2 6 (n 型 G a A s) と障壁層 2 5 (ノンドープ A l G a A s) の間のアニソ接合でも、チャネル層 2 4 (n 型 I n G a A s) と障壁層 2 5 (ノンドープ A l G a A s) の間のアニソ接合でも、障壁層 2 5 がノンドープとなっているので、伝導帯のバンドギャップ差がほとんどフェルミレベル上方に配分されて障壁高さが高くなり (図 3 (a) 参照

）、そのため HEMT 構造以上に直列抵抗が増大する。

【0015】

また、熱平衡状態で障壁層の高さが高いと、印加電圧を増減させたときの障壁高さの昇降量が大きくなるので、ある印加電圧値で突然ドレイン電流が増大するドレイン電流キック（図 6（b）参照）等の現象が発生する問題があった。

【0016】

本発明は上述の技術的問題点を解決するためになされたものであり、その目的とするところは、ヘテロ接合を有する電界効果型半導体装置において、オーミック電極を設けられたコンタクト層とチャネル層との間の半導体層を通過する直列抵抗を低減することにある。

【0017】

【発明の開示】

本発明に係る電界効果型半導体装置は、チャネル層とコンタクト層との間に、該チャネル層及び該コンタクト層と電子親和力の異なる半導体層が形成され、前記コンタクト層の上にオーミック電極が設けられ、前記半導体層にショットキー電極が設けられた電界効果型半導体装置において、前記チャネル層と前記半導体層の接合面及び前記コンタクト層と前記半導体層の接合面が、いずれもイソ型ヘテロ接合となったものである。

【0018】

イソ型ヘテロ接合とは、アニソ型ヘテロ接合以外のヘテロ接合である。アニソ型ヘテロ接合とは、前記のように、導電型の異なる半導体どうしの接合、あるいは電気伝導度の大幅に異なる材料どうしの接合のことである。例えば、n 型半導体と p 型半導体の接合、n 型半導体とノンドープ半導体の接合、p 型半導体とノンドープ半導体の接合、あるいは高不純物濃度層（ n^+ 、 p^+ ）と低不純物濃度層（ n^- 、 p^- ）といったものである。アニソ型ヘテロ接合の代表的な例を示すと、n 型半導体で電子親和力の小さな材料としては、 $n\text{-AlGaAs}/i\text{-GaAs}$ 、 $n\text{-AlGaAs}/i\text{-InGaAs}$ 、 $n\text{-InGaP}/i\text{-GaAs}$ 、 $n\text{-InGaP}/i\text{-InGaAs}$ 、 $n\text{-InAlAs}/i\text{-InGaAs}$ 、 $n\text{-GaAs}/i\text{-InGaAs}$ などがある。また、n 型半導体で電子親和力の

大きな材料としては、 $i\text{-AlGaAs}/n\text{-GaAs}$ 、 $i\text{-AlGaAs}/n\text{-InGaAs}$ 、 $i\text{-InGaP}/n\text{-GaAs}$ 、 $i\text{-InGaP}/n\text{-InGaAs}$ 、 $i\text{-InAlAs}/n\text{-InGaAs}$ 、 $i\text{-GaAs}/n\text{-InGaAs}$ などがアニソ型ヘテロ接合である。

【0019】

イソ型ヘテロ接合とは、アニソ型ヘテロ接合以外のヘテロ接合であるから、導電型が同じ半導体どうしの接合で、かつ電気伝導度が大きく異なる材料どうしの接合のことである。また、イソ型ヘテロ接合の代表的な例としては、 $n\text{-AlGaAs}/n\text{-GaAs}$ 、 $n\text{-AlGaAs}/n\text{-InGaAs}$ 、 $n\text{-InGaP}/n\text{-GaAs}$ 、 $n\text{-InGaP}/n\text{-InGaAs}$ 、 $n\text{-InAlAs}/n\text{-InGaAs}$ 、 $n\text{-GaAs}/n\text{-InGaAs}$ （いずれも電気伝導度は大きく異なるものとする）などがある。また、 n 型/ n^+ 型、 n 型/ n^- 型、 p 型/ p^+ 型、 p 型/ p^- 型もイソ型ヘテロ接合となる。

【0020】

本願発明の電界効果型半導体装置のように、チャネル層及びコンタクト層の間の半導体層とチャネル層の接合面、チャネル層及びコンタクト層の間の半導体層とコンタクト層の接合面が、いずれも電子親和力の異なるイソ型ヘテロ接合であると、両ヘテロ接合面において伝導帯の底がフェルミレベルの上下に大きく偏らなくなるので、コンタクト層からゲート電極直下のチャネル層にいたるヘテロ接合部の通過抵抗を小さくできる。よって、障壁層の機能を損なうことなく、電界効果型半導体装置の直列抵抗成分を低減することができる。

【0021】

特に、チャネル層と前記半導体層の接合面における両材料をいずれも n 型高不純物濃度層とし、コンタクト層と前記半導体層の接合面における両材料をいずれも n 型高不純物濃度層とすれば、キャリア移動度を高くすることができ、高周波対応の電界効果型半導体装置を得ることができる。

【0022】

また、本発明の電界効果型半導体装置においては、チャネル層としては例えば InGaAs を用いることができ、チャネル層とコンタクト層の間の半導体層に

は AlGaAs を用いることができるが、この半導体層はチャネル層及びコンタクト層よりも電子親和力が小さい単一材料が望ましい。

【0023】

さらに、イソ型ヘテロ接合における障壁高さおよび実効障壁厚は、接合を形成する材料双方の不純物濃度差と電子親和力差で一義的に決定されるので、前記チャネル層と前記半導体層の接合面における両材料の不純物濃度をいずれも $1 \times 10^{18} \text{ cm}^{-3}$ 以上とし、前記コンタクト層と前記半導体層の接合面における両材料の不純物濃度もいずれも $1 \times 10^{18} \text{ cm}^{-3}$ 以上とすることにより、全体の抵抗成分を低減することができる。

【0024】

【発明の実施の形態】

（第1の実施形態）

図4は本発明の一実施形態によるヘテロ接合FET41の構造を模式的に示す断面図である。このヘテロ接合FET41にあっては、バッファ層43、膜厚10nmのn型 InGaAs （不純物濃度 $2 \times 10^{18} \text{ cm}^{-3}$ ）からなるチャネル層44、障壁層45、膜厚50nmの n^+ 型 GaAs （不純物濃度 $5 \times 10^{18} \text{ cm}^{-3}$ ）からなるコンタクト層46が、MBE、MOCVD等を用いたエピタキシャル成長法により、この順序で半絶縁性 GaAs 基板42上に形成される。障壁層45は、下から順次、膜厚10nmのn型 AlGaAs 層45a（不純物濃度 $3 \times 10^{18} \text{ cm}^{-3}$ ）、膜厚10nmのノンドープ AlGaAs 層45b、膜厚10nmのn型 AlGaAs 層45c（不純物濃度 $3 \times 10^{18} \text{ cm}^{-3}$ ）によって構成されている。

【0025】

コンタクト層46の上にはソース電極48及びドレイン電極49となるオーミック電極が形成されている。ソース、ドレイン電極48、49間において、コンタクト層46はリセスエッチングによって除去されており、ゲート電極50はリセス47内でコンタクト層46から露出しているn型 AlGaAs 障壁層45cの上に形成された後、熱拡散によってその底面がノンドープ AlGaAs 層45bにショットキー接触させられる。この結果、ゲート電極50の下端部がn型 AlGaAs

1 GaAs 層 45c 内に埋め込まれる。なお、ゲート電極 50 を n 型 AlGaAs 障壁層 45c 内に埋め込む場合には、コンタクト層 46 をリセスエッチングした後、再度異方性リセスエッチングによって n 型 AlGaAs 障壁層 45c を一部除去し、露出したノンドープ AlGaAs 層 45b の上にゲート電極 50 を直接に形成するようにしてもよい。ヘテロ接合 FET 41 は、最終的には SiN 等の絶縁膜 51 で保護される。

【0026】

ここで、障壁層 45 とコンタクト層 46 の間のヘテロ接合は、n 型 AlGaAs / n⁺ 型 GaAs のイソ型ヘテロ接合となっており、チャネル層 44 と障壁層 45 の間も n 型 InGaAs / n 型 AlGaAs のイソ型ヘテロ接合となっている。

【0027】

チャネル層材料と障壁層材料は、その間に電子親和力差が生じていればよく、上記組み合わせ以外にも同じ導電型の InGaAs / InGaP などの組み合わせによるイソ型ヘテロ接合でも有効である。また、チャネル層 44 には、n 型 InGaAs の代わりに n 型 GaAs を用いてもよい。なお、チャネル層 44 の下には、電子供給層として高不純物濃度層を設けてダブルドープ構造としてもよい。

【0028】

障壁層 45 内の積層構造は、多層イソ型ヘテロ構造でもよいが、本実施形態の AlGaAs のように単一材料（ホモ接合）からなる方が好ましい。

【0029】

この実施形態にあっては、チャネル層 44 とコンタクト層 46 の間に該チャネル層 44 およびコンタクト層 46 と電子親和力の異なる障壁層 45 が形成されており、チャネル層 44 と障壁層 45 との間の接合面はイソ型ヘテロ接合となっており、コンタクト層 46 と障壁層 45 との間の接合面もイソ型ヘテロ接合となっている。このように少なくともチャネル層 44 と障壁層 45 の間のヘテロ接合面、コンタクト層 46 と障壁層 45 の間のヘテロ接合面の両者がイソ型の伝導型接合となっている場合には、図 5 のエネルギーバンド構造に示すように（図 5 には

n型GaAs/n型AlGaAsの場合を示しているが、n型InGaAs/n型AlGaAsの場合も同様である）、当該ヘテロ接合領域において伝導帯の底がフェルミレベルの上下にほぼ均等に配分される結果、障壁層45の上層と下層における電子に対する障壁高さ H_B と空乏層幅（実効障壁厚） W_V が小さくなり、障壁層45の機能を損なうことなく、コンタクト層46からゲート電極50直下のチャネル層44にいたるヘテロ接合部の通過抵抗、すなわちヘテロ接合FET41の直列抵抗成分を低減できる。

【0030】

このようなイソ型ヘテロ接合における障壁高さ H_B および実効障壁厚 W_V は、接合を形成する材料双方の不純物濃度差と電子親和力差で一義的に決定されるので、全体の抵抗成分を低減するためにも、チャネル層44、障壁層45及びコンタクト層46の不純物濃度はいずれも $1 \times 10^{18} \text{ cm}^{-3}$ 以上が好ましい。

【0031】

図6（a）は図4に示したような構造を有する本発明の実施例における電流電圧特性を示す図であり、図6（b）は図2に示したような構造を有する従来のDMTにおける電流電圧特性を示す図である。いずれもドレイン電圧に対するドレイン電流の変化を示している。従来例による図6（b）の電流電圧特性ではドレイン電流キックが見られるが、本発明の実施例による図6（a）の電流電圧特性ではキックが見られず、高い電流値の得られることがわかる。

【0032】

【発明の効果】

本発明によれば、チャネル層とその上の半導体層との間のヘテロ接合部分における通過抵抗を低減でき、またコンタクト層とその下の半導体層との間のヘテロ接合部分における通過抵抗も低減できるので、低い直列抵抗を持つ電界効果型半導体装置を実現できる。また、熱平衡状態におけるショットキー障壁高さを低くすることができるので、印加電圧に依存した電流増減（ドレイン電流キック）現象などが抑制される。よって、素子特性の最大ドレイン電流、相互コンダクタンスが向上し、オン抵抗の低減した素子を製作することができる。

【図面の簡単な説明】

【図 1】

従来の H E M T の構造を模式的に示す断面図である。

【図 2】

従来の D M T の構造を模式的に示す断面図である。

【図 3】

(a) (b) は熱平衡状態におけるアニソ型ヘテロ接合近傍での伝導帯のエネルギーバンド構造を示す図である。

【図 4】

本発明の一実施形態によるヘテロ接合 F E T を模式的に示す断面図である。

【図 5】

(a) (b) は熱平衡状態における障壁層とコンタクト層の間での伝導帯のエネルギーバンド構造を示す図である。

【図 6】

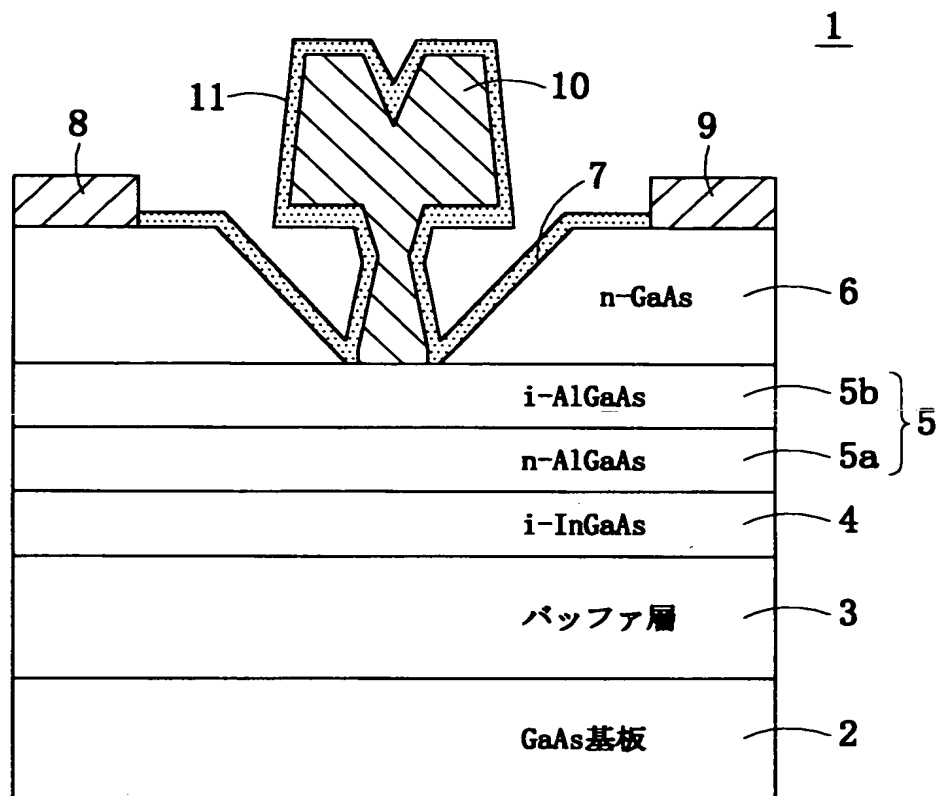
(a) は本発明の実施例による H E M T の電流電圧特性を示す図、(b) は従来例の D M T の電流電圧特性を示す図である。

【符号の説明】

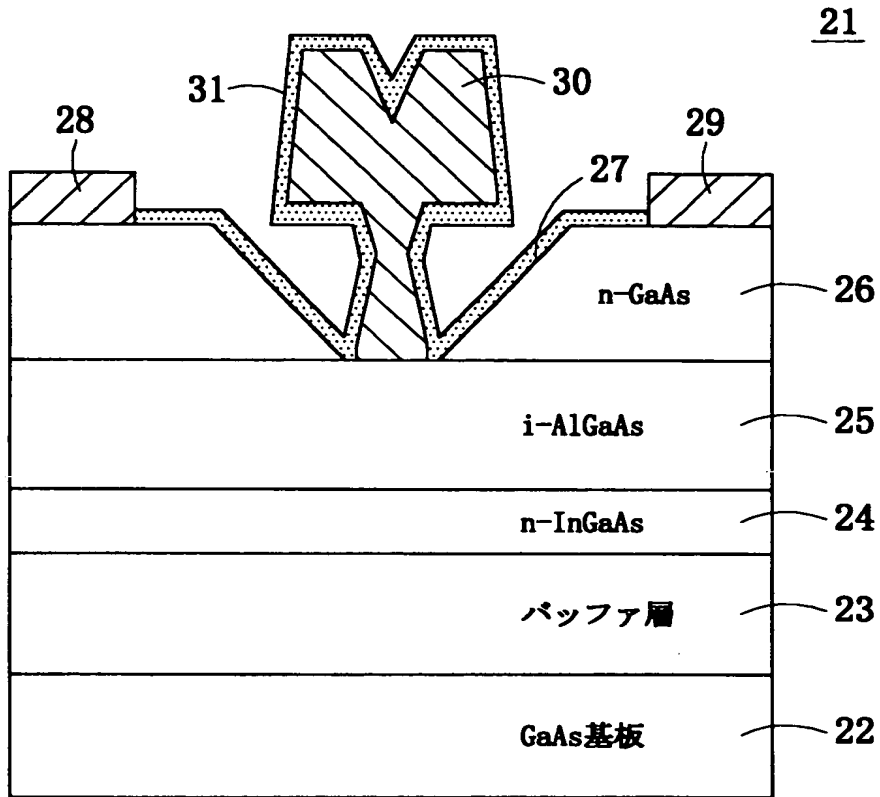
- 4 2 半絶縁性 G a A s 基板
- 4 4 チャネル層
- 4 5 障壁層
- 4 6 コンタクト層
- 4 8 ソース電極
- 4 9 ドレイン電極
- 5 0 ゲート電極

【書類名】 図面

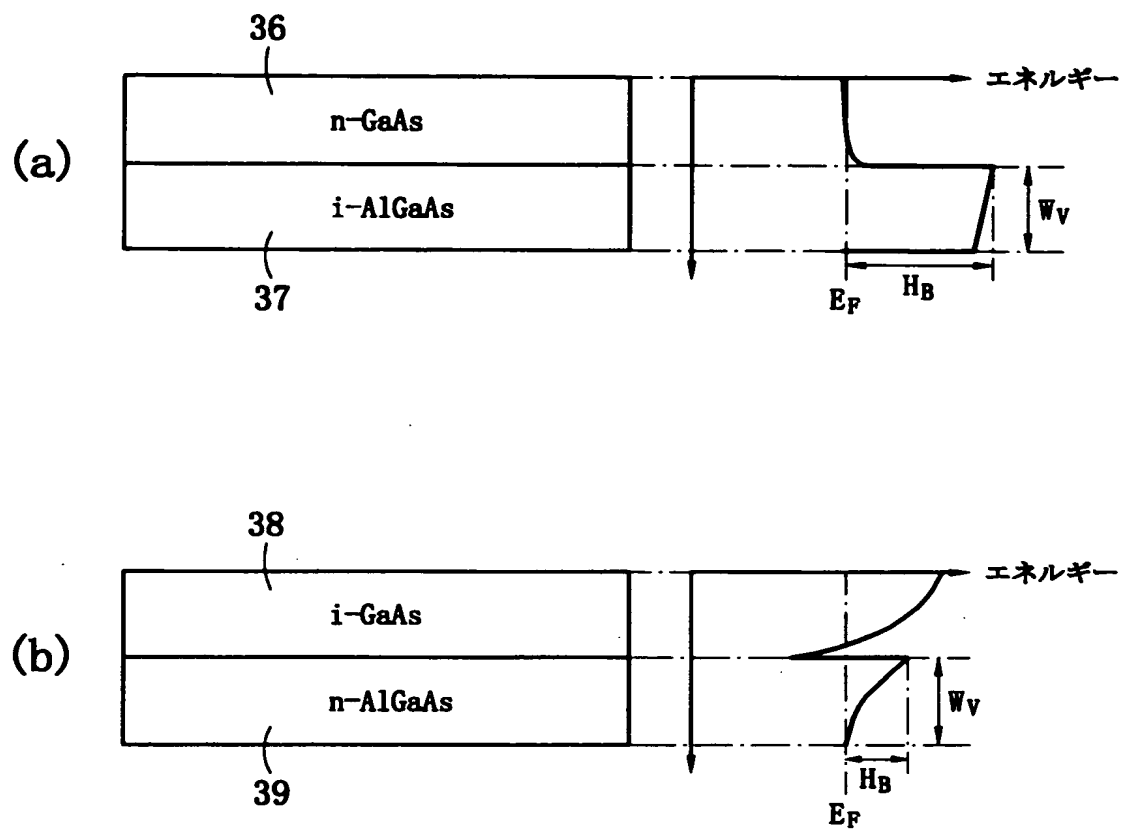
【図 1】



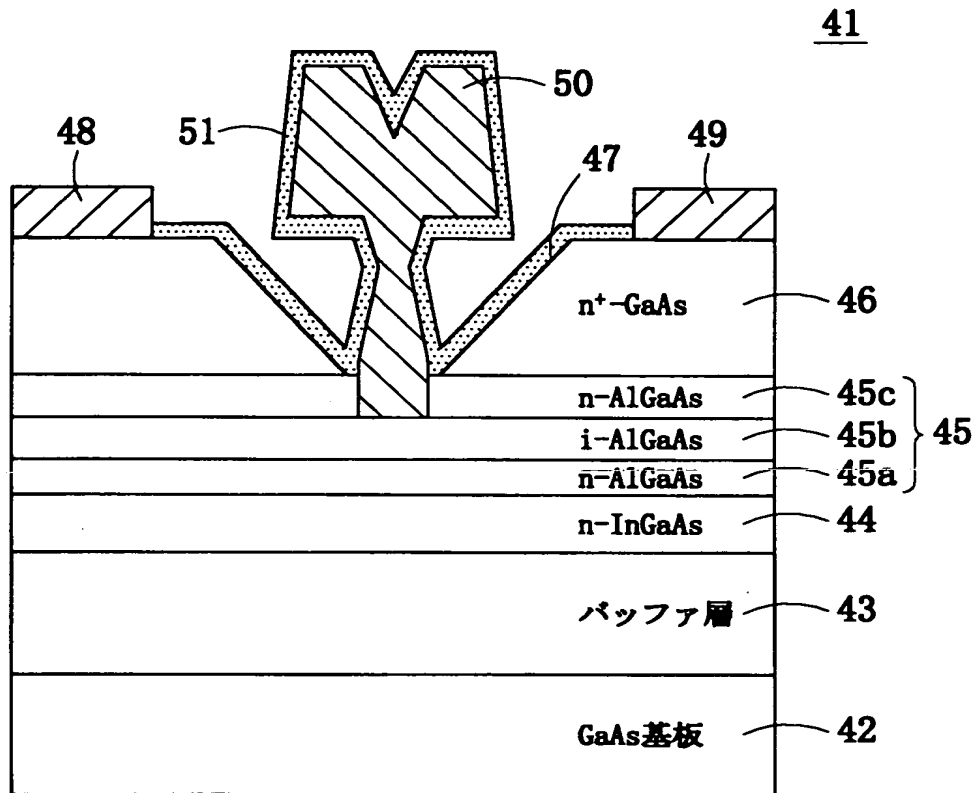
【図 2】



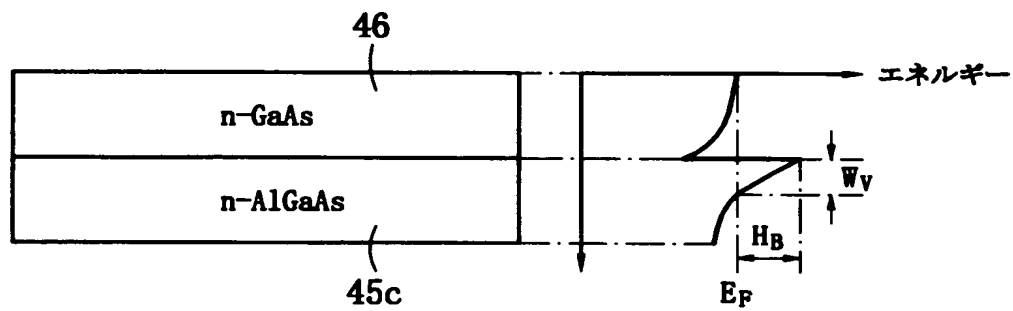
【図 3】



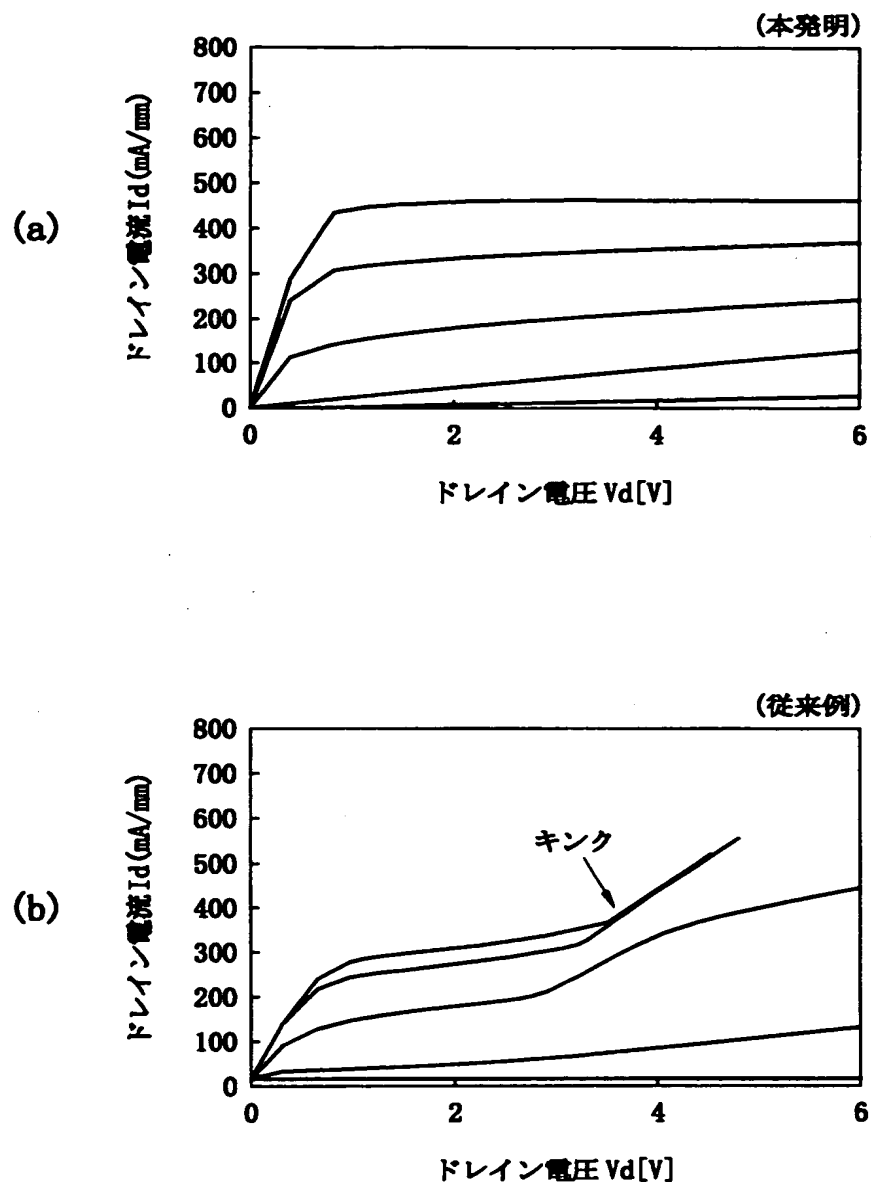
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【目的】 ヘテロ接合 F E T において、オーミック電極を設けられたコンタクト層とチャネル層との間の半導体層を通過する直列抵抗を低減することにある。

【解決手段】 半絶縁性 G a A s 基板の上に、バッファ層 4 3、n 型 I n G a A s チャネル層 4 4、多層障壁層 4 5 (n 型 A l G a A s 層 4 5 a、ノンドープ A l G a A s 層 4 5 b、n 型 A l G a A s 層 4 5 c)、 n^+ 型 G a A s コンタクト層 4 6 を形成する。ゲート電極 5 0 は、コンタクト層 4 6 を一部除去したリセス 4 7 内で n 型 A l G a A s 層 4 5 c に埋め込まれる。ここで、障壁層 4 5 とコンタクト層 4 6、およびチャネル層 4 4 と障壁層 4 5 は、いずれもイソ型ヘテロ接合となっている。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 2 3 1]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[変更理由] 新規登録

住 所 京都府長岡京市天神二丁目 2 6 番 1 0 号

氏 名 株式会社村田製作所